

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-270647

(43)Date of publication of application : 14.10.1997

(51)Int.Cl. H03F 3/60
H01L 29/80
H03F 3/189
H03F 3/68

(21)Application number : 08-075982

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.03.1996

(72)Inventor : ABE FUMIICHIROU
SHIBATA KIYOHIRO

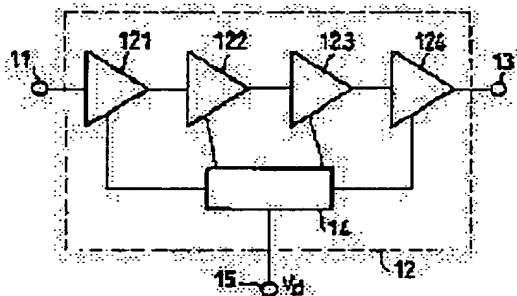
(54) AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the small sized inexpensive amplifier consisting of plural semiconductor elements connected in multi-stages by employing a semiconductor element at the 1st stage whose gate length is longer than that of the semiconductor elements used for post-stages among the semiconductor elements to reduce damages due to excessive input power.

SOLUTION: The amplifier 12 is configured with cascade connection of plural unit amplifiers 121-124. A 3-terminal semiconductor element such as a gallium arsenide FET that is a component of the 1st stage unit amplifier 121 has a gate length selected longer than that of other gallium arsenide FETs being components of the post-stage unit amplifiers.

Through the constitution above, since the gallium arsenide FET of the 1st stage unit amplifier 121 has a longer gate length than that of the other other gallium arsenide FETs being components of the post-stage unit amplifiers, the 1st stage amplifier is immune to excess input power and the input VSWR is reduced. Furthermore, the gain of the 2nd and succeeding amplifiers 122-124 is selected higher because the gallium arsenide FETs are selected to have a shorter gate length.



LEGAL STATUS

[Date of request for examination] 22.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-270647

(43) 公開日 平成9年(1997)10月14日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/60			H 0 3 F 3/60	
H 0 1 L 29/80			3/189	
H 0 3 F 3/189			3/68	Z
3/68		9447-4M	H 0 1 L 29/80	

審査請求 未請求 請求項の数 5 O L (全 3 頁)

(21) 出願番号 特願平8-75982

(22) 出願日 平成8年(1996)3月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 安部 文一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

(72) 発明者 柴田 清裕

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

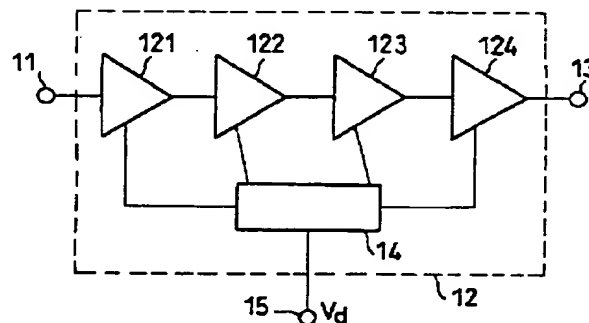
(74) 代理人 弁理士 大胡 典夫

(54) 【発明の名称】 増幅器

(57) 【要約】

【課題】 過大な入力電力による破損を少なくし、小型で安価な増幅器を提供すること。

【解決手段】 単位増幅器を多段に接続して構成された増幅器において、前記単位増幅器それぞれを形成する複数の半導体素子のうち初段に用いられる半導体素子として、これより後段に用いられる半導体素子のゲート長より長いゲート長のものを使用している。



【特許請求の範囲】

【請求項1】 複数の半導体素子を多段に接続して構成された増幅器において、前記複数の半導体素子のうち初段に用いられる半導体素子として、これより後段に用いられる半導体素子のゲート長より長いゲート長のものを使用したことを特徴とする増幅器。

【請求項2】 半導体素子が、3端子を有する電界効果トランジスタであることを特徴とする請求項1記載の増幅器。

【請求項3】 半導体素子が、3端子を有するガリウムヒ素電界効果トランジスタであることを特徴とする請求項1記載の増幅器。

【請求項4】 半導体素子が、3端子を有する高電子移動度トランジスタであることを特徴とする請求項1記載の増幅器。

【請求項5】 増幅器がモノリシックマイクロ波集積回路で構成されたことを特徴とする請求項1記載の増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、レーダシステムなどの受信装置に用いられる低雑音増幅器に関する。

【0002】

【従来の技術】 従来、マイクロ波等の高い周波帯に使用される低雑音増幅器を構成する場合、ガリウムヒ素電界効果トランジスタ（以下FETという）などの3端子半導体素子を多段に接続する方法がある。このような低雑音増幅器に用いられるガリウムヒ素FETは、ゲート長が短いほど雑音指数が小さく、また利得も大きい。このため、低雑音増幅器には、通常、ゲート長が短いガリウムヒ素FETが用いられる。

【0003】 しかし、ゲート長の短いガリウムヒ素FETは過大な入力に対し弱いという特性がある。したがって、ゲート長の短いガリウムヒ素FETを用いて増幅器を構成すると、増幅器自体も過大な入力に対し弱いという問題がある。

【0004】 ところで、1GHz程度の低い周波帯では、ガリウムヒ素FETのゲート長の相違による雑音指数の変化は比較的小さい。しかし、ゲート長が短くなるとゲート・ソース間のインピーダンスが高くなってく

【0005】 ここで、従来の低雑音増幅器について図2を参照して説明する。符号21は入力端で、増幅器22に接続されている。そして、増幅器22は出力端23に接続されている。

【0006】 増幅器22は、その前段部に、リミッタ回路24や方向性結合器25が接続され、方向性結合器25とリミッタ回路24間に、検波ダイオードD1と制御回路26が接続されている。

【0007】 また、方向性結合器25の後方には、ガリウムヒ素FETなど例えば4個の3端子半導体素子271～274が多段に接続されている。符号28は、3端子半導体素子271～274の例えばドレイン電極に対してバイアスを供給するバイアス回路で、バイアス回路28は電源電圧Vdを供給する電源端子29に接続されている。したがって、3端子半導体素子271～274は電源端子29から電源電圧Vdが供給される。

【0008】 上記した構成において、入力端21から入力電力が入力されると、方向性結合器25によって入力電力の一部が取り出され、そして、検波ダイオードD1で入力電力が検出される。検波ダイオードD1で検出された入力電力は制御回路26に供給される。制御回路26は、検出された入力電力の大きさに応じてリミッタ回路24を構成するリミッタダイオードD2に対し順方向のバイアス電流を印加する構成になっている。例えば、入力電力が大きいと、リミッタダイオードD2に印加するバイアス電流を増大させ、そして、リミッタダイオードD2のインピーダンスを小さくし、リミッタ回路24の挿入損が増加するようにしている。

【0009】

【発明が解決しようとする課題】 上記した構成の増幅器によれば、入力端21から入力される入力電力が大きくなると、リミッタ回路24の挿入損が増加する。これによって、初段の3端子半導体素子271に対し過大な入力電力が入力されないようにし、増幅器を構成する3端子半導体素子の破損を防止している。

【0010】 しかし、上記した従来の増幅器では、3端子半導体素子271～274の前段に、リミッタ回路24や方向性結合器25、検波ダイオードD1、制御回路26などの回路が必要となる。このため、増幅器の構成が複雑になり、また価格が上昇するという欠点があった。

【0011】 本発明は、上記した欠点を解決するもので、過大な入力電力による破損を少なくし、小型で安価な増幅器を提供することを目的とする。

【0012】

【課題を解決するための手段】 本発明は、複数の半導体素子を多段に接続して構成された増幅器において、前記複数の半導体素子のうち初段に用いられる半導体素子として、これより後段に用いられる半導体素子のゲート長より長いゲート長のものを使用している。

【0013】 また、半導体素子として、3端子を有する電界効果トランジスタ、あるいは、ガリウムヒ素電界効果トランジスタ、高電子移動度トランジスタを使用している。また、増幅器がモノリシックマイクロ波集積回路で構成されている。

【0014】 上記した構成によれば、多段に接続された複数の半導体素子のうち、初段の半導体素子のゲート長を、それより後段の半導体素子のゲート長より長くして

3

いる。このため、過大な入力電力に対して強い増幅器が構成できる。また、入力VSWRも低減できる。また、2段目以降の増幅器を構成する半導体素子にはゲート長の短いものを用い、高利得が得られるようにしている。さらに、リミッタ回路や方向性結合器などのように、過大な入力電力を低減する回路が不要となり、小型で低価格の増幅器を実現できる。

【0015】

【発明の実施の形態】本発明の実施の形態について図1のブロック図を参照して説明する。符号11は入力端で、入力端11は増幅器12に接続されている。また、増幅器12は、出力端13に接続されている。なお、増幅器12は、ガリウムひ素FET等の3端子半導体素子で構成された4個の単位増幅器121～124が多段に接続された構成になっている。また、単位増幅器121～124を構成するガリウムひ素FETの例えばドレイン電極はバイアス回路14に接続され、バイアス回路14は電源電圧Vdが供給される電源端子15に接続されている。したがって、電源電圧Vdは、電源端子15からバイアス回路14を経て、複数の単位増幅器121～124に供給される。

【0016】上記したように増幅器12は、複数の単位増幅器121～124が縦続接続された構成になっており、この場合、初段の単位増幅器121を構成する3端子半導体素子、例えばガリウムひ素FETのゲート長を、それより後段に位置する単位増幅器122～124のガリウムひ素FETのゲート長より長くしている。

【0017】この構成によれば、初段の単位増幅器121を構成するガリウムひ素FETのゲート長が長いため、過大な入力電力に対して強い増幅器が構成され、また、入力VSWRも低減できる。また、2段目以降の増

4

幅器122～124を構成するガリウムひ素FETにはゲート長の短いものを用いるため、高利得に構成できる。したがって、従来の増幅器(図2)のようにリミッタ回路24や方向性結合器25、検波ダイオードD1、制御回路26などの回路がなくても、過大な入力電力に強い増幅器が構成され、小型化や低価格化が実現できる。

【0018】なお、上記した実施形態では、単位増幅器121～124を構成する3端子半導体素子としてガリウムひ素FETの例で説明している。しかし、3端子半導体素子としては高電子移動度トランジスタなどの他の素子を用いることもできる。また、増幅器全体をモノリシックマイクロ波集積回路(MMIC)で構成することもできる。また、単位増幅器121～124が接続される段数も4段に限られるものでなく、必要に応じて任意の段数を選択できる。

【0019】

【発明の効果】本発明によれば、過入力電力に強い小型で安価な増幅器を実現できる。

【図面の簡単な説明】

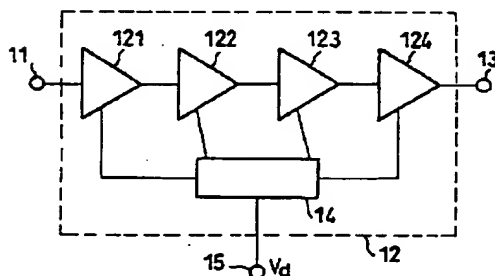
【図1】本発明の実施形態を説明するブロック図である。

【図2】従来例を説明するブロック図である。

【符号の説明】

11…入力端
12…増幅器
121～124…単位増幅器
13…出力端
14…バイアス回路
15…電源端子

【図1】



【図2】

